

MODELO DE CÁLCULO DE PERDAS EM MOSFETs DE POTÊNCIA DE ALTA TENSÃO

Edemar O. Prado, Mateus José Tiburski, Hamiltom C. Sartori e José Renes Pinheiro

Grupo de Eletônica de Potencia e Controle (GEPOC)

Universidade Federal de Santa Maria

Santa Maria, RS, Brasil

Email: eo.prado@hotmail.com, mateustiburski94@gmail.com, hamiltomsar@gmail.com, jrenes@gepoc.ufsm.br

Resumo—Neste artigo são analisadas diferentes contribuições para análise de perdas em MOSFETs de potência. O objetivo é definir a precisão dos modelos de perdas em frequências e tensões mais elevadas, englobando as tecnologias SiC, CoolMOS e GaN. As perdas em diferentes pontos de operação (frequências) foram obtidas experimentalmente. Os modelos analíticos foram simulados na faixa de frequência de até 500 kHz. Identificou-se que cada modelo é projetado para pontos de operação específicos e, para o caso de transistores que operam tensões maiores que 40 V, não linearidades associadas a capacitância de Miller são maiores, resultando em erro com relação aos resultados experimentais (principalmente acima de 50 kHz). Como resultado, propõe-se a utilização de um modelo melhorado para o cálculo de perdas em maiores tensões de bloqueio, utilizando de forma conjunta conceitos de diferentes modelos apresentados. Os resultados obtidos foram satisfatórios, apresentando boa precisão com relação aos resultados experimentais.

Palavras-chave – Capacitância Miller, Frequência, Modelo, MOSFETs, Perdas.

I. INTRODUÇÃO

O avanço no desenvolvimento de tecnologias de semicondutores *wide bandgap* e nas tecnologias de superjunção aplicados a transistores MOSFET, torna crescente a operação de conversores de alta densidade de potência em frequências mais elevadas [1] e [2]. Nestas situações a potência dissipada no transistor deve ser calculada de forma precisa, caso contrário o rendimento do conversor pode ser mal interpretado e projetos de sistemas de transferência de calor subdimensionados, podendo ocasionar a fusão da junção, ou superdimensionados tornando-os volumosos e com custos adicionais indesejados.

Comumente, existem três métodos computacionais capazes de estimar a potência dissipada durante a operação dos transistores do tipo FET: O multifísico, o SPICE e o analítico [3] e [4]. As grandes diferenças entre eles estão relacionadas à precisão nos resultados, a complexidade na implementação e ao tempo computacional exigido (Fig. 1). Por apresentar menor complexidade e menor tempo computacional o método analítico torna-se atrativo e preferido em projetos de otimização, onde existe a necessidade de executar varreduras [1],[5] e [6].

Neste sentido, nas últimas décadas uma grande quantidade de autores abordou e sugeriu diferentes modelos analíticos [7],[8],[9],[10] e [11]. A Fig. 2 mostra um comparativo entre

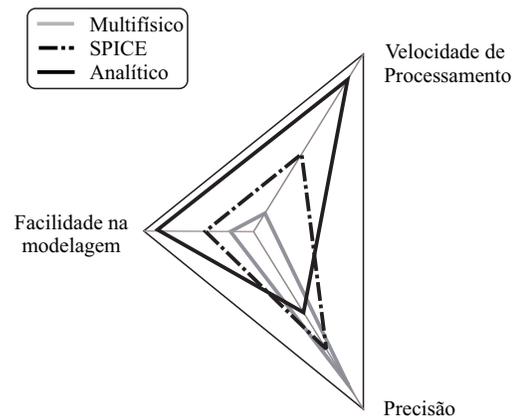


Figura 1. Método Multifísico x SPICE x Analítico.

estes modelos e a potência dissipada obtida experimentalmente, juntamente ao circuito de teste utilizado, considerando os parâmetros apresentados na Tabela I. Como a indutância e a carga são mantidas constantes, o *ripple* de corrente, a corrente eficaz e a temperatura de junção do transistor foram redefinidas de acordo com a variação de frequência de comutação.

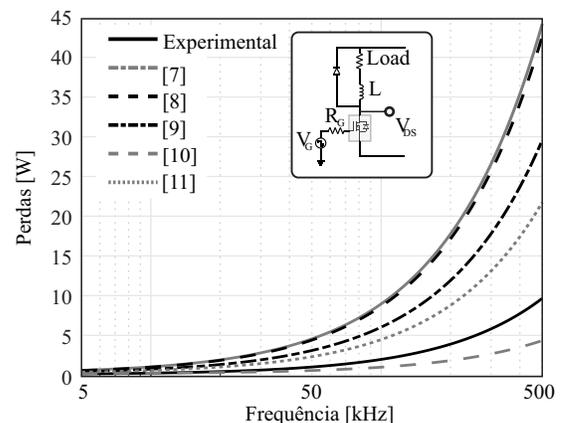


Figura 2. Modelos analíticos x Experimental.

Tabela I
PARÂMETROS DO CIRCUITO.

Parâmetro	Símbolo	Valor
Tensão de bloqueio	V_{DS}	300 V
Indutância	L	1,7 mH
Carga	$Load$	70 Ohm
Tensão de <i>gate</i>	V_G	15 V
Resistência de <i>gate</i>	R_G	15 Ohm
Corrente Média no indutor	I_{MED}	2,14 A
<i>Duty cycle</i>	D	0,5
Frequência	F_{SW}	5 - 500 kHz
<i>Partnumber</i>	#	IPW60R040C7

Os modelos analíticos apresentam certa precisão em frequências menores que 50 kHz, entretanto, com o aumento da frequência de comutação há também um aumento no erro relativo. Isso não significa que os modelos analisados estejam necessariamente incorretos, pois geralmente quando um modelo analítico é desenvolvido ele leva em consideração pontos de operação específicos. Para obter um modelo analítico preciso sob diferentes pontos de operação, os fenômenos físicos relacionados a temperatura de junção, níveis de tensão e frequência de comutação aplicados ao transistor devem ser modelados de forma adequada.

Neste artigo estes fenômenos foram investigados. Um modelo para auxiliar na estimativa das perdas dissipadas em transistores MOSFET em diferentes pontos de operação é apresentado. Identificando a equação que melhor representa o comportamento físico da resistência *drain-to-source* em relação a temperatura de junção através no trabalho publicado por [11] e das considerações físicas em [12],[13] e [14]. A análise para identificar a forma de utilização da capacitância de Miller em transistores com diferentes tensões de bloqueio, utilizando informações fornecidas no *datasheet* dos transistores também é fornecida. O layout de PCB foi projetado de modo a minimizar as indutâncias parasitas, reduzindo a complexidade do modelo. Resultados experimentais são apresentados para validar o modelo proposto.

II. MODELO DAS PERDAS POR CONDUÇÃO

O modelo para obter a potência dissipada durante o período de condução dos transistores do tipo MOSFET é mostrado em uma grande quantidade de artigos acadêmicos [7],[8] e [10], notas de aplicação [9] e [11] e livros [15] e [16], em ambos os casos está relacionada ao produto do quadrado da corrente eficaz com a resistência *drain-to-source on-state* (R_{DSon})

$$P_{COND_MOS} = R_{DS} I_{RMS}^2 \quad (1)$$

porém a obtenção de R_{DSon} está associada aos mecanismos que determinam as mobilidades de portadores [13], [14] e [17]. Em um cristal puro os portadores são espalhados principalmente pela interação com as vibrações geradas termicamente dos átomos do substrato em função da temperatura, sendo que a saturação da velocidade de *drift* de portadores quentes reduz significativamente sua mobilidade [12] e [17]. Uma revisão sobre esse assunto também pode ser encontrada em [18].

Para fins de simulação, devido à grande complexidade e a dificuldade de modelar com precisão este fenômeno e suas interações, normalmente é necessária uma lei de potência simples cujos coeficientes são obtidos pela adequação dos valores da mobilidade experimental em função da temperatura, representado pelas curvas $R_{DSon} \times T_J$ fornecidas pelos fabricantes.

Dentre os modelos supracitados, [11] apresenta o modelo que melhor representa o comportamento da curva $R_{DSon} \times T_J$ na forma matemática

$$R_{DSon}(T_J) = R_{DSon,MAX}(25^\circ C) \cdot \left(1 + \frac{\alpha}{100}\right)^{T_J - 25^\circ C} \quad (2)$$

onde T_J é a temperatura de junção durante a operação e $R_{DSon,MAX} 25^\circ C$ é o valor máximo de R_{DSon} a $(25^\circ C)$ mostrado na folha de dados. Rearranjando 2 o coeficiente de temperatura α pode ser calculado com dois conjuntos de valores (T_{J1}, R_{DSon1}) e (T_{J2}, R_{DSon2}) (Fig. 3)

$$\alpha = 100 \left(\frac{R_{DSon2}}{R_{DSon1}} \frac{1}{T_{J2} - T_{J1}} - 1 \right) \quad (3)$$

sendo que R_{DSon1} é a resistência de condução máxima a $25^\circ C$, T_{J2} é um segundo ponto de temperatura da curva R_{DSon} que deve ser retirado próximo a temperatura de fusão do transistor e R_{DSon2} é a resistência equivalente em T_{J2} , neste exemplo $125^\circ C$ e 0.066Ω respectivamente.

III. MODELO DAS PERDAS POR COMUTAÇÃO

Para calcular a potência dissipada durante os períodos de comutação com precisão, as capacitâncias parasitas do transistor (*gate-to-source* (C_{GS}), *gate-to-drain* (C_{GD}) e *drain-to-source* (C_{DS})) precisam ser modeladas de forma adequada. Sendo que C_{GS} e C_{GD} compõem as perdas por sobreposição entre tensão e corrente (*overlap*) e a C_{DS} compõe as perdas capacitivas, como as perdas por *overlap* compõem a maior parcela da potência dissipada durante o período de comutação, as perdas capacitivas são desconsideradas neste artigo.

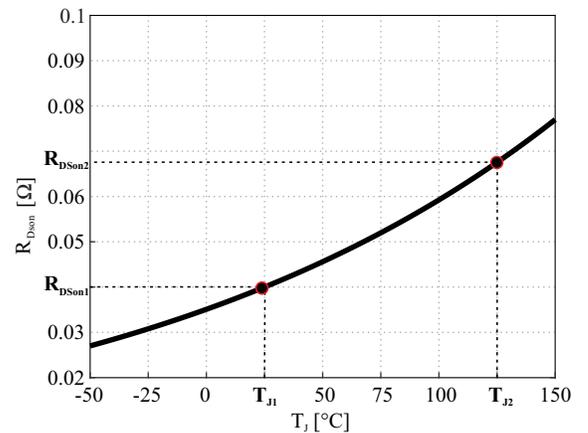


Figura 3. $R_{DSon} \times T_J$.

A. Modelagem dos tempos de Overlap

A modelagem dos comportamentos de carga e descarga de C_{GS} são obtidas durante o período em que a tensão de *gate* está entre a tensão de Limiar (V_{TH}) e a tensão de *Plateau* do transistor (V_{PL}) (tempo em que ocorrem as transições de corrente). Como C_{GS} é relativamente maior que C_{GD} e altamente linear, é usual aproxima-la pela capacitância de entrada (C_{ISS}) [8]. Assim a carga pode ser definida como o produto de C_{ISS} pela diferença entre V_{PL} e V_{TH}

$$Q_{GS} = C_{ISS}(V_{PL} - V_{TH}). \quad (4)$$

Já a modelagem da carga e descarga de C_{GD} ocorrem nas transições de tensão do transistor. A C_{GD} é relativamente menor que C_{GS} e altamente não linear em função da variação de tensão, o que torna a análise complexa, principalmente em transistores cuja tensão de bloqueio é maior do que 40 V [19]. A Fig. 4 mostra um comparativo do comportamento de C_{GD} (C_{RSS}) entre MOSFETs com diferente tensão de bloqueio.

Embora com amplitudes diferentes, o comportamento das capacitâncias para os MOSFETs IRF100P218, IRF250P224, IPW60R040C7 (CoolMOS), NTP8G206N (GaN cascode) e SCT2120AF (SiC) são similares, apresentando um estágio com maior variação em tensões abaixo de 40 V e outro com menor variação entre 40 V e a tensão de ruptura do transistor, enquanto o MOSFET IRL40B212 ($V_{DS} < 40$ V) apresenta apenas um estágio de variação da capacitância.

O comportamento e a maneira de utilizar C_{GD} no cálculo das perdas por comutação foi abordado em diferentes modelos analíticos [7], [8], [9], [10], [11], entre outros. Grande parte destes modelos foram projetados e validados para calcular perdas de potência em MOSFETs que geralmente operam tensões de bloqueio inferiores a 40 V como são os casos de [7] e [11]. No entanto, com o avanço no desenvolvimento das tecnologias SiC, CoolMOS e GaN e a crescente aplicação destes transistores em projetos de otimização em frequências acima de 100 kHz, a utilização destes modelos onde maiores tensões de operação são empregadas é recorrente [20], [21], [22] e [23].

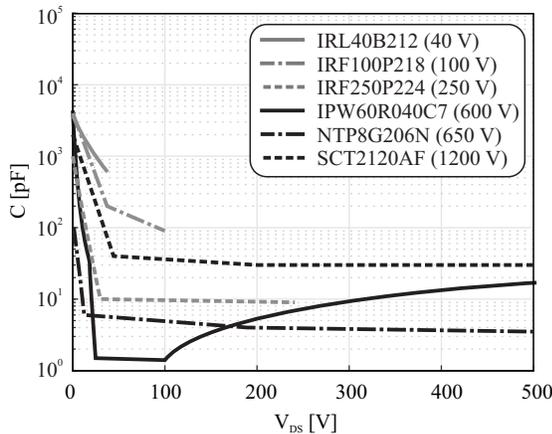


Figura 4. Comportamento de C_{GD} .

Na Fig. 5 é mostrado o modelo para extração da C_{GD} em tensões menores que 40 V proposto por [11]. Embora não seja a aplicação de projeto, este modelo é utilizado em artigos para calcular as perdas por comutação em transistores que operam tensões de bloqueio na faixa de 400 V [22], [23], entre outros. Neste modelo a C_{GD} é obtida pela média entre dois pontos da curva da capacitância versus tensão, o primeiro ponto ou C_{GD1} , é retirado na tensão de bloqueio aplicada ao transistor (V_{DS}) e o segundo ponto na tensão equivalente a queda de tensão do canal ($R_{DSon} \cdot I_{ON}$), apontada como C_{GD2} na figura. A diferença no comportamento da capacitância de Miller em diferentes tensões de bloqueio mostrada na Fig. 4, pode se tornar um agravante nesta situação, pois a C_{GD} extraída pode apresentar divergência com relação a realidade, fazendo com que as perdas por comutação sejam superestimadas em função do aumento da frequência.

Já [24] aborda de forma multifísica o comportamento de carga e descarga de C_{GD} em transistores MOSFET. Como resultado o autor propõe analisar a carga entre *gate* e dreno (Q_{GD}) como duas parcelas distintas chamadas de Q_3 e Q_4 (Fig. 6), durante Q_3 V_{DS} cai rapidamente até a tensão de transição V_X , e depois diminui muito lentamente para V_{DSon} que é a queda de tensão no transistor durante o período de condução. Ainda conforme o autor, V_X representa o V_{DS} no qual a camada n-epitaxial sob o óxido de porta muda de depleção para acumulação. Então Q_3 é definido como o incremento de carga de *gate* necessário para a tensão de dreno V_{DS} cair para a tensão de transição V_X e representa a parcela mais significativa de perdas, enquanto Q_4 representa uma parcela insignificante nas perdas por comutação e, portanto, é desprezado.

Esta abordagem resultou em um modelo analítico validado no software DESSIS, obtendo boa precisão. Porém, como os fabricantes fornecem apenas a carga total entre *gate* e dreno (Q_{GD}) no *datasheet* do transistor, não é possível identificar qual parcela corresponde a Q_3 e a Q_4 , inviabilizando a utilização do modelo analítico proposto.

Embora com contribuições importantes, estes modelos ([11]

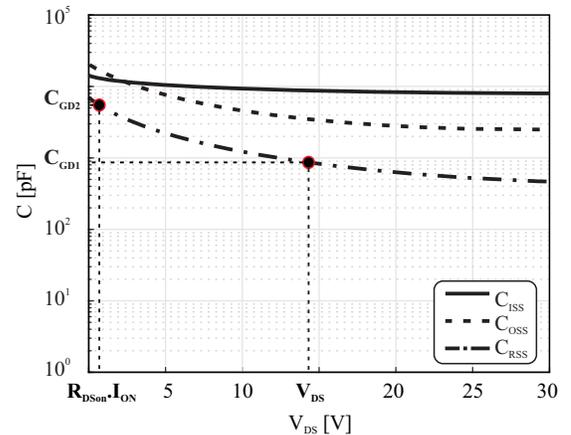


Figura 5. Capacitância x Tensão. Adaptado de [11].

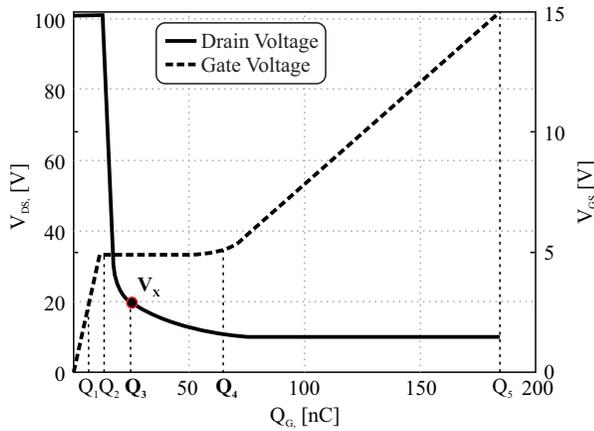


Figura 6. Características da carga de *gate*. Adaptado de [24].

e [24]) não representam com precisão o comportamento da (Q_{GD}) em transistores com tensão de bloqueio acima de 40 V na forma matemática. Porém se os pontos para extração da capacitância sugeridos por [11] forem utilizados considerando as contribuições sobre análise da carga de *gate* fornecida por [24], a média da capacitância responsável pela maior parte das perdas (Fig. 7) pode ser modelada. Deste modo, os pontos devem ser extraídos na tensão de bloqueio sobre o transistor (Ponto B) e no equivalente ao ponto V_X mostrado em [24] (Ponto A), sendo que a média desta associação é representada pelo Ponto 1, destacado em vermelho sobre o ponto central da linha tracejada entre os pontos A e B. Neste artigo V_X está relacionado com a constante de tempo de circuitos RC (τ) representando a queda de tensão de V_{DS} em 2τ , onde a tensão atinge 13.5 % de V_{DS} .

O Ponto 2 na Fig. 7 representa o valor médio que será extraído caso o modelo de [11] seja utilizado de forma isolada. Representando um valor significativamente maior que a média proposta.

Com a utilização dos pontos A e B da Fig. 7, a carga média

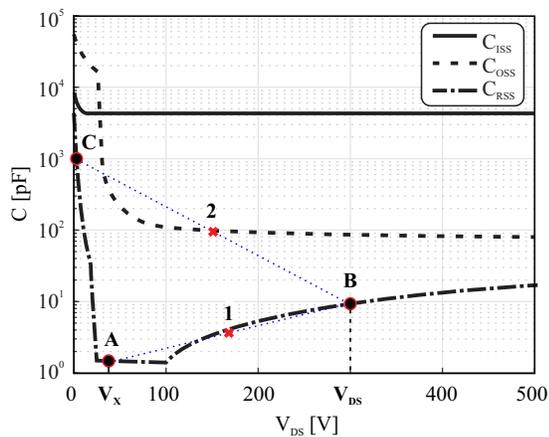


Figura 7. Pontos de extração da Capacitância Miller (*Datasheet*).

associada a capacitância de Miller em função da tensão sobre o transistor pode ser calculada

$$Q_{GD} = \frac{C_{GD(V_{DS})}V_{DS} + C_{GD(13.5\%V_{DS})}0.135V_{DS}}{2} \quad (5)$$

onde $C_{GD(V_{DS})}$ é a capacitância *gate-to-drain* na tensão de bloqueio aplicada e $C_{GD(13.5\%V_{DS})}$ é a Capacitância *gate-to-drain* em 13.5 % de V_{DS} (Ponto A da Fig. 7). Assim, a carga responsável pelas perdas no MOSFET pode ser obtida pela soma da Q_{GD} com a Q_{GS} (calculada no início dessa seção)

$$Q = Q_{GS} + Q_{GD} \quad (6)$$

e através da razão entre a carga e a corrente fornecida pelo circuito de acionamento, é possível determinar o tempo de *overlap*

$$t = \frac{Q}{I_G} \quad (7)$$

sendo que

$$I_G = (V_{DR} - V_{PL}) / (R_G + R_{Gint}) \quad (8)$$

onde V_{DR} é a tensão de *driver* e R_{Gint} é a resistência de *gate* intrínseca ao transistor. Assim o comportamento da potência dissipada por sobreposições entre tensão e corrente no transistor é definido como

$$P_L = \frac{1}{2} \left(\frac{Q}{I_{Gon}} V_{DS} I_{ON} + \frac{Q}{I_{Gon}} V_{DS} I_{OFF} \right) F_{sw} \quad (9)$$

IV. RESULTADOS

Para validar os resultados o circuito de teste mostrado na Fig. 8 foi projetado, este circuito é utilizado como teste de pulso duplo em artigos acadêmicos [4], [19] e [24], no objetivo de obter as formas de onda de tensão e corrente e integradas em função do período. Neste artigo, o circuito opera em regime permanente, de modo a obter a dinâmica térmica do transistor, e as perdas são validadas através da temperatura de *case* obtida. Para medir a temperatura no transistor, o medidor de temperatura Fluke Ti20 foi utilizado, este equipamento possui precisão de $\pm 2^\circ$ C.

Na Fig. 9 o circuito prático é mostrado, este circuito foi projetado de modo a reduzir a indutância parasita principalmente no sinal de *gate*, mantendo a distância entre o circuito de *driver* e o transistor em 3 mm. Para minimizar os efeitos de recuperação reversa, foi escolhido o diodo de roda livre C3D10060A (tecnologia SiC).

Para o cálculo das temperaturas através das perdas calculadas pelos modelos analíticos, o modelo utilizado em [1], [20] e [21] foi utilizado. Os resultados obtidos são apresentados na Tabela II, os parâmetros utilizados nesta validação são os mostrados na Tabela I, e na Fig. 10 são mostrados os resultados térmicos obtidos para as frequências de operação de 20, 50 90 e 110 kHz. A validação foi obtida sem a inclusão do sistema de transferência de calor, pois a dinâmica de cada perfil de dissipador apresenta não linearidades em função do comprimento, podendo acrescentar erros nos modelos de cálculo da temperatura. E na Fig. 11 são apresentados de forma gráfica os dados térmicos mostrados na Tabela II. Os

Tabela II
TEMPERATURAS.

Frequência	Experimental	Calculada	Temperatura °C				
			[7]	[8]	[9]	[10]	[11]
20 kHz	55,7	52,3	136,22	131,94	104,7	41,45	88,31
50 kHz	81,3	78,35	298,44	283,21	215,1	58,08	169,5
90 kHz	115,9	112,42	514,68	484,82	362,23	80,2	277,69
110 kHz	136,1	132,7	623,16	585,98	436,15	91,61	332,12

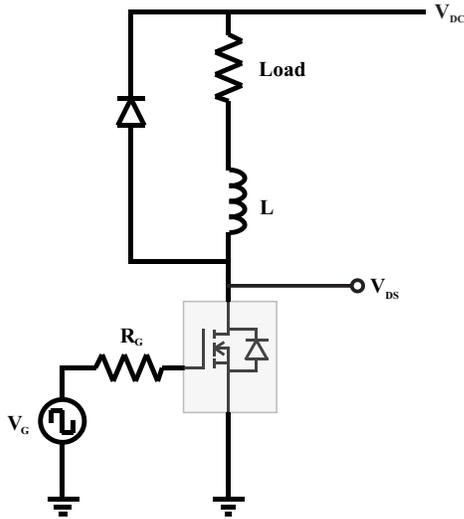


Figura 8. Circuito de teste.

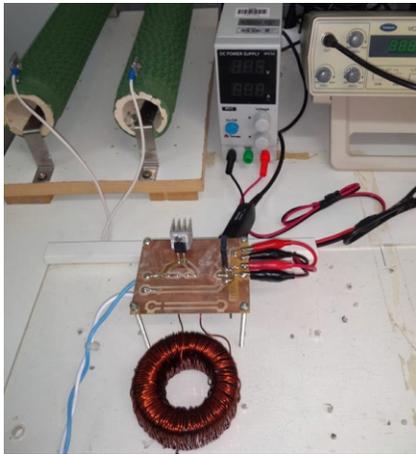


Figura 9. Setup experimental.

pontos em vermelho, representam os as temperatura obtidos experimentalmente, a curva preta a que estão sobrepostos, representa um *Fitting* desses resultados.

V. DISCUSSÕES

Na Tabela II são mostradas as temperaturas obtidas experimentalmente, juntamente com as temperaturas calculadas utilizando as perdas resultantes dos respectivos modelos analíticos de cada coluna. Estes resultados contemplam a faixa

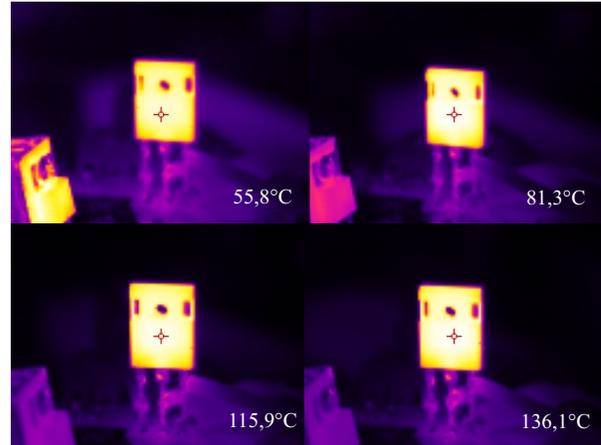


Figura 10. Imagens Térmicas Fluke Ti20.

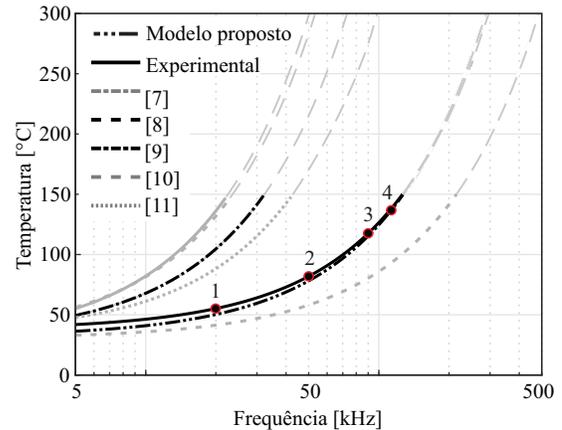


Figura 11. Resultados.

de frequência de até 110 kHz (temperatura de junção em 136 ° C), este limite foi estabelecido para evitar a fusão da junção do transistor (ocorre em 150 °C). Esses dados estão mostrados na Fig. 11 na forma de *fitting*, onde ao exceder a temperatura de 150 ° C, são mostrados na cor cinza e em formato de traços longos.

Através de uma análise comparativa entre as curvas da Fig. 11, é perceptível que o modelo proposto pelos autores apresenta resultados mais próximos a validação experimental. Isso acontece devido a melhor representação da capacitância de Miller em função da tensão de bloqueio, o que reduz significativamente o erro em maiores frequência de comutação.

Isso não significa necessariamente que os demais modelos estão incorretos, mas sim que cada modelo foi projetado para condições de operação específicas, devendo serem utilizados nas condições a que foram projetados.

VI. CONCLUSÃO

A escolha do modelo ideal a ser utilizado em uma determinada aplicação não é tarefa simples. Parâmetros como frequência de operação, níveis de tensão e temperatura de junção devem ser avaliados. Os resultados obtidos neste artigo apontam as diferenças no comportamento da R_{DSon} em função da temperatura de junção e a não linearidade da C_{GD} em MOSFETs com diferentes capacidade de tensão de bloqueio, sendo em nos transistores com capacidade de tensão de bloqueio acima de 40 V essa não linearidade é mais acentuada.

Como resultado, um modelo que utiliza diferentes conceitos apresentados na literatura de forma conjunta é proposto, possibilitando o cálculo de perda em transistores com capacidade de bloqueio de tensão acima de 40 V, de forma simples e com resultados satisfatórios. Os resultados obtidos por esse modelo foram comparados com os resultados experimentais e com a estimativa obtida por alguns modelos comumente utilizados (Fig.11). Por fim, conclui-se que o modelo proposto apresenta resultados satisfatórios para o cálculo de perdas em frequências de até 110 kHz, operando maiores tensões de bloqueio. Como continuidade do projeto, pretende-se utilizar técnicas que possibilitem a obtenção de resultados práticos em maiores faixas de frequência (até 500 kHz).

AGRADECIMENTOS

O presente trabalho foi realizado com apoio da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES) - Código de Financiamento 001.

REFERÊNCIAS

- [1] H. C. Sartori, H. L. Hey, and J. R. Pinheiro, "An optimum design of pfc boost converters," in *2009 13th European Conference on Power Electronics and Applications*. IEEE, 2009, pp. 1–10.
- [2] P. C. Bolsi, H. C. Sartori, and J. R. Pinheiro, "Comparison of core technologies applied to power inductors," in *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*. IEEE, 2018, pp. 1100–1106.
- [3] Y. Xiao, H. Shah, T. Chow, and R. Gutmann, "Analytical modeling and experimental evaluation of interconnect parasitic inductance on mosfet switching characteristics," in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC'04.*, vol. 1. IEEE, 2004, pp. 516–521.
- [4] Y. Ren, M. Xu, J. Zhou, and F. C. Lee, "Analytical loss model of power mosfet," *IEEE transactions on power electronics*, vol. 21, no. 2, pp. 310–319, 2006.
- [5] E. O. Prado, H. C. Sartori, and J. R. Pinheiro, "How to select power transistors for static converters applications?" in *2018 13th IEEE International Conference on Industry Applications (INDUSCON)*. IEEE, 2018, pp. 138–143.
- [6] S. Busquets-Monge, J.-C. Crebier, S. Ragon, E. Hertz, D. Boroyevich, Z. Gurdal, M. Arpilliere, and D. K. Lindner, "Design of a boost power factor correction converter using optimization techniques," *IEEE Transactions on Power Electronics*, vol. 19, no. 6, pp. 1388–1396, 2004.
- [7] J. Brown, "Modeling the switching performance of a mosfet in the high side of a non-isolated buck converter," *IEEE transactions on power electronics*, vol. 21, no. 1, pp. 3–10, 2006.
- [8] H. C. Sartori, F. Beltrame, H. H. Figueira, J. E. Baggio, and J. R. Pinheiro, "Power density comparative analysis concerning to three transistor technologies applied to a ccm pfc boost converter using optimization techniques," in *2013 Brazilian Power Electronics Conference*. IEEE, 2013, pp. 1317–1323.
- [9] G. Lakkas, "Mosfet power losses and how they affect power-supply efficiency," *Analog Appl*, vol. 10, pp. 22–26, 2016.
- [10] R. C. Beltrame, M. I. Desconzi, and H. L. Hey, "Decentralized multi string pv system with integrated zvt cell," in *Congresso Brasileiro de Automática/12 a Sep*, vol. 16, 2010.
- [11] D. Graovac, M. Purschel, and A. Kiep, "Mosfet power losses calculation using the data-sheet parameters," *Infineon application note*, vol. 1, 2006.
- [12] E. Nicollian and A. Goetzberger, "The si-sio2 interface—electrical properties as determined by the metal-insulator-silicon conductance technique," *Bell Syst. Tech. J*, vol. 46, no. 6, p. 1055, 1967.
- [13] D. A. Neamen, *Semiconductor physics and devices: basic principles*. New York, NY: McGraw-Hill, 2012.
- [14] K. Seeger, "Semiconductor physics: an introduction. 2004."
- [15] R. W. Erickson and D. Maksimovic, *Fundamentals of power electronics*. Springer Science & Business Media, 2007.
- [16] M. H. Rashid, *Power electronics handbook*. Butterworth-Heinemann, 2017.
- [17] S. S. Li, "The dopant density and temperature dependence of hole mobility and resistivity in boron doped silicon," *Solid-State Electronics*, vol. 21, no. 9, pp. 1109–1117, 1978.
- [18] C. Jacoboni, C. Canali, G. Ottaviani, and A. A. Quaranta, "A review of some charge transport properties of silicon," *Solid-State Electronics*, vol. 20, no. 2, pp. 77–89, 1977.
- [19] X. Huang, Q. Li, Z. Liu, and F. C. Lee, "Analytical loss model of high voltage gan hemt in cascode configuration," *IEEE Transactions on Power Electronics*, vol. 29, no. 5, pp. 2208–2219, 2013.
- [20] F. Beltrame, F. H. Dupont, H. C. Sartori, E. C. Cancian, C. Rech, and J. R. Pinheiro, "Efficiency optimization of dc/dc boost converter applied to the photovoltaic system," in *IECON 2013-39th Annual Conference of the IEEE Industrial Electronics Society*. IEEE, 2013, pp. 706–711.
- [21] H. C. Sartori, J. E. Baggio, H. L. Hey, J. R. Pinheiro, and F. Beltrame, "Integrated methodology design to improve the efficiency and reduce volume of the ccm pfc boost converters with pre-sizing settings," in *2015 IEEE 24th International Symposium on Industrial Electronics (ISIE)*. IEEE, 2015, pp. 1378–1385.
- [22] S. K. Khadem, M. Basu, and M. F. Conlon, "Harmonic power compensation capacity of shunt active power filter and its relationship with design parameters," *IET Power Electronics*, vol. 7, no. 2, pp. 418–430, 2013.
- [23] P. Lakshmanan, J. Liang, and N. Jenkins, "Assessment of collection systems for hvdc connected offshore wind farms," *Electric Power Systems Research*, vol. 129, pp. 75–82, 2015.
- [24] Y. Xiong, S. Sun, H. Jia, P. Shea, and Z. J. Shen, "New physical insights on power mosfet switching losses," *IEEE Transactions on Power Electronics*, vol. 24, no. 2, pp. 525–531, 2009.