

# Técnicas de Regulação do Ponto de Neutro para Conversor NPC 3 Níveis

Douglas A. Pedroso, Filipe P. Scalcon, André Nicolini, Humberto Pinheiro, Cassiano Rech

Grupo de Eletrônica de Potência e Controle - GEPOC

Universidade Federal de Santa Maria - UFSM

Av. Roraima, 1000, Camobi, Santa Maria - RS

Email: douglas.araujo.pedroso@gmail.com, filipescalcon1@gmail.com

**Resumo**—O artigo apresenta o desenvolvimento de três técnicas para balanceamento do barramento capacitivo do conversor três níveis com ponto de neutro grampeado (NPC - *Neutral-Point-Clamped*). As técnicas abordadas são baseadas no aproveitamento das redundâncias das tensões de braço do conversor para a síntese das tensões de linha e seus respectivos impactos na corrente do nó central do barramento CC. Para uma compreensão completa dos estados de comutação do conversor e a implementação das técnicas de compensação, o algoritmo de modulação *fast space-vector* é aplicado em todos os casos estudados.

**Index Terms**—Conversor NPC, Regulação do Ponto de Neutro, Modulação *Space-Vector*.

## I. INTRODUÇÃO

Presenciamos hoje um cenário mundial de constante crescimento na demanda energética e fortes movimentos de migração do uso de energias de origem fóssil para alternativas renováveis. Nesse panorama, presencia-se o surgimento de diversas novas topologias de conversores para não tão somente realizar a integração das novas fontes aos sistemas de distribuição e transmissão, como garantir um melhor aproveitamento das mesmas, onde eficiência e qualidade são fatores extremamente relevantes. Além disso, o desenvolvimento da indústria eletrônica vem resultando em dispositivos de chaveamento com capacidades de processamento de energia cada vez maiores e em reduções dos custos para dispositivos em faixas menores de operação. A superposição dos fatores descritos tem viabilizado cada vez mais o uso de topologias multiníveis para um número crescente de aplicações [1].

Pela perspectiva do aproveitamento energético, conversores multiníveis apresentam, para uma mesma faixa de operação, menores esforços de tensão sobre seus interruptores do que topologias clássicas de dois níveis, possibilitando assim o uso de dispositivos com menor capacidade de bloqueio e, por conseguinte, menores perdas. Ainda, dado o maior número de níveis presentes na saída dos conversores multiníveis, os mesmos apresentam um melhor espectro harmônico, onde ganha-

se na diminuição dos filtros de saída, impactando diretamente no volume e custo do conversor [2]–[5].

Dentre as diversas topologias existentes, o conversor três níveis com ponto neutro grampeado (NPC - *Neutral-Point-Clamped*) é uma das mais recorrentes em estudos e aplicações [3]–[8]. O esquemático da topologia é apresentado na Figura 1.

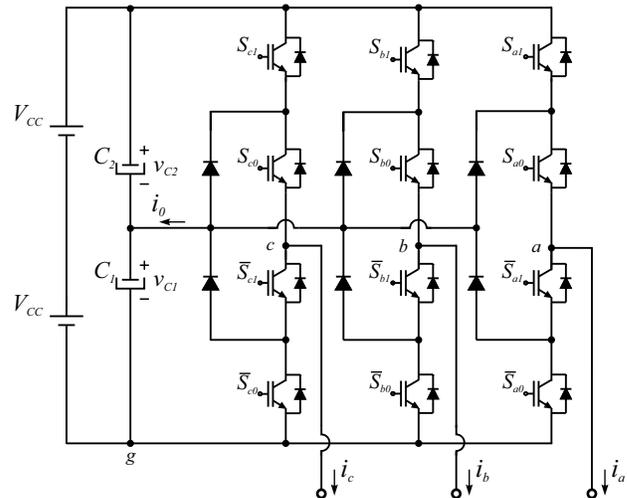


Figura 1. Inversor NPC 3 níveis

Para sua correta operação, o conversor NPC deve ter seu ponto de neutro regulado na metade do valor da tensão total do barramento CC. Na ausência de controladores externos para tal função, a modulação aplicada deve ser ajustada para cumprir este requisito [2]. A ineficácia no controle da tensão do ponto neutro leva ao desvio da síntese da tensão de referência na saída do conversor, bem como maiores estresses de tensão nos interruptores e distorções harmônicas adicionais [4], [8], [9].

Diversas estratégias de modulação, como as baseadas na análise da tensão de sequência zero e abordagem PWM [2], [3], [9], [10], até as embasadas no estudo do diagrama *space-vector* na busca de técnicas que selecionem os vetores adequados para a regulação [4], [5], [7], [11], têm sido propostas na literatura. Em [11], uma análise detalhada sobre o efeito dos vetores das tensões de linha na corrente no ponto central é desenvolvida, onde também estima-se possibilidades do uso

Este estudo foi financiado em parte pela Coordenação de Aperfeiçoamento de Pessoal de Nível Superior - Brasil (CAPES/PROEX) - Código Financeiro 001. Os autores também gostariam de agradecer ao INCT-GD e as agências financeiras (CNPq 465640/2014-1, CAPES 23038.000776/2017-54 e FAPERGS 17/2551-0000517-1).

de vetores redundantes na linha mas com implementação diferente nas fases como um meio de regulação.

O presente trabalho aborda, a partir da modulação *space-vector*, três técnicas distintas para o uso dos vetores redundantes como forma de regulação do ponto central do conversor NPC 3 níveis. Resultados de simulação são apresentados a fim de corroborar as análises desenvolvidas.

## II. MODULAÇÃO *Fast Space-Vector*

As tensões de linha trifásicas de um conversor chaveado geradas a partir da combinação única dos estados de comutação do mesmo podem ser representadas a partir de um diagrama tridimensional do espaço vetorial do conversor. Embora a representação em três dimensões, a dependência linear de uma das três tensões de linha do sistema possibilita, sem perda de generalidade, que o mesmo também possa ser representado de maneira bidimensional. O algoritmo de modulação *fast space-vector*, originalmente desenvolvido em [12], usa dessa possibilidade, bem como da simetria hexagonal característica de sistemas trifásicos, para produzir um novo sistema de coordenadas não ortogonal o qual simplifica as operações inerentes à prática de modulação em conversores estáticos. Agora representado pelas coordenadas  $\{\vec{g}, \vec{h}\}$ , o novo sistema tem seus vetores base como:

$$\{\vec{g}, \vec{h}\} = \left\{ \left[ \begin{array}{c} V_{CC} \\ 0 \\ -V_{CC} \end{array} \right], \left[ \begin{array}{c} 0 \\ V_{CC} \\ -V_{CC} \end{array} \right] \right\} \quad (1)$$

A partir de (1), a transformação de um dado vetor  $\vec{V}_{(v_{ab}, v_{bc}, v_{ca})}$  para as coordenadas  $\{\vec{g}, \vec{h}\}$  pode ser obtida por:

$$\begin{aligned} \vec{V}_{(g,h)} &= \mathbf{T} \cdot \vec{V}_{(v_{ab}, v_{bc}, v_{ca})} \\ \mathbf{T} &= \frac{1}{3V_{CC}} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \end{bmatrix} \end{aligned} \quad (2)$$

Conforme observado em (2), a matriz de transformação  $\mathbf{T}$  normaliza o comprimento do vetor transformado em relação ao comprimento dos vetores base, fazendo com que todos os vetores de comutação nas coordenadas  $\{\vec{g}, \vec{h}\}$  sejam formados apenas por números inteiros. Isso simplifica a dificuldade característica de modulação *space-vector* na detecção de setores (com altos custos computacionais) para um problema de truncamento numérico. Nesse caso, para um dado vetor de referência  $\vec{V}_{REF(g,h)}$ , os quatro vetores de comutação mais próximos formam o paralelogramo equilátero com vértices expressos por:

$$\begin{aligned} \vec{V}_{ul} &= \left[ \begin{array}{c} \text{ceil}(V_{REFg}) \\ \text{floor}(V_{REFh}) \end{array} \right] & \vec{V}_{uu} &= \left[ \begin{array}{c} \text{ceil}(V_{REFg}) \\ \text{ceil}(V_{REFh}) \end{array} \right] \\ \vec{V}_{lu} &= \left[ \begin{array}{c} \text{floor}(V_{REFg}) \\ \text{ceil}(V_{REFh}) \end{array} \right] & \vec{V}_{ll} &= \left[ \begin{array}{c} \text{floor}(V_{REFg}) \\ \text{floor}(V_{REFh}) \end{array} \right] \end{aligned} \quad (3)$$

Ainda, uma vez que deseja-se apenas os três vetores mais próximos à referência e  $\vec{V}_{lu}$  e  $\vec{V}_{ul}$  são sempre parte deste

conjunto, o terceiro vetor é obtido a partir da análise do sinal de:

$$V_{REFg} + V_{REFh} - (V_{ulg} + V_{lwh}) \quad (4)$$

Se (4) é positivo o terceiro vetor é  $\vec{V}_{uu}$  ou, então,  $\vec{V}_{ll}$  se (4) for negativo. A sequência de implementação dos vetores no tempo para todas as aplicações nesse trabalho é dada pela seguinte máscara:

$$\begin{aligned} \frac{d_1}{2} \vec{V}_1 \rightarrow \frac{d_2}{2} \vec{V}_2 \rightarrow d_3 \vec{V}_3 \rightarrow \frac{d_2}{2} \vec{V}_2 \rightarrow \frac{d_1}{2} \vec{V}_1 \\ d_1 + d_2 + d_3 = 1 \end{aligned} \quad (5)$$

onde:  $\vec{V}_1$  é  $\vec{V}_{lu}$ ,  $\vec{V}_2$  é  $\vec{V}_{ul}$ ,  $\vec{V}_3$  é  $\vec{V}_{ll}$  ou  $\vec{V}_{uu}$  e  $d_1$ ,  $d_2$  e  $d_3$  são os ciclos de trabalho correspondentes de cada vetor.

Esse formato de execução dos vetores permite a implementação da sequência através da comparação dos ciclos de trabalho com contadores *up/down* (disponíveis na implementação com processadores digitais de sinais), não se fazendo necessário o desenvolvimento de um *hardware* específico para a implementação da modulação.

Os ciclos de trabalho referentes a cada vetor também são computados de forma diferente dependendo do sinal de (4). Para o caso de  $\vec{V}_{uu}$  ser o terceiro vetor, os ciclos de trabalho são expressos por:

$$\begin{aligned} d_1 &= d_{lu} = -(V_{REFg} - V_{uug}) \\ d_2 &= d_{ul} = -(V_{REFh} - V_{uuh}) \\ d_3 &= d_{uu} = 1 - d_{lu} - d_{ul} \end{aligned} \quad (6)$$

Para o caso em que  $\vec{V}_{ll}$  é o terceiro vetor, os ciclos de trabalho são dados como:

$$\begin{aligned} d_1 &= d_{lu} = (V_{REFh} - V_{llh}) \\ d_2 &= d_{ul} = (V_{REFg} - V_{llg}) \\ d_3 &= d_{ll} = 1 - d_{lu} - d_{ul} \end{aligned} \quad (7)$$

A Figura 2 expõe a representação ortogonal o diagrama *space-vector* para um conversor de 3 níveis em coordenadas hexagonais  $\{\vec{g}, \vec{h}\}$ .

Existem 19 possíveis vetores a serem sintetizados apresentados na Figura 2. Entretanto, para um conversor trifásico 3 níveis o número de combinações possíveis das tensões de braço é 27. Isso faz com que determinados vetores em  $\{\vec{g}, \vec{h}\}$  possuam redundância quanto às tensões de fase que os sintetizam. Conforme analisado em [11], o número de redundâncias no diagrama *space-vector* decresce linearmente para quanto mais externo o anel formado pelos vetores. Esse efeito também é representado para o conversor 3 níveis na Figura 2.

Também em [11], a influência de cada uma das 27 combinação das tensões de fase na corrente central do divisor capacitivo ( $i_0$ ) é analisada a fim de determinar os impactos no balanço dos capacitores do barramento CC para um conversor NPC 3 níveis. No estudo, são divididos os vetores em pequenos, médios, grandes e zero. Vetores grandes e zero não apresentam conexão ao ponto central do divisor ou a soma

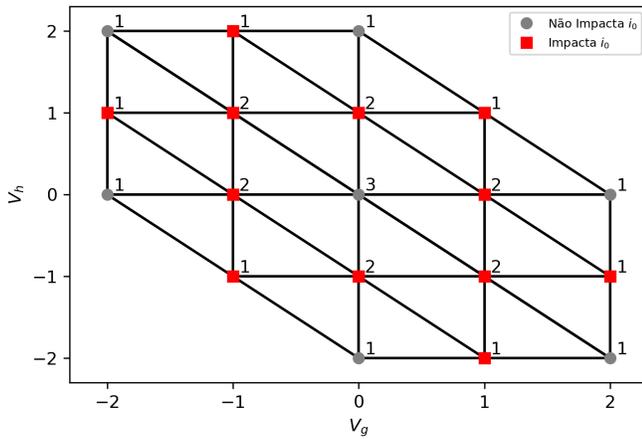


Figura 2. Diagrama *space-vector* com número de estados de comutação ao lado de cada vetor

das correntes resultantes no nó é igual a zero e, portanto, não impactam o balanço dos capacitores de barramento. Vetores médios apresentam uma conexão ao ponto médio do barramento CC. Uma vez que estes são dispostos no anel mais externo do diagrama *space-vector*, observa-se que não há graus de liberdade para realizar qualquer tipo de compensação com os mesmos sem interferir diretamente nas tensões sintetizadas na saída do conversor.

Desta forma, restam os vetores pequenos dispostos no anel interno do diagrama *space-vector* da Figura 2. Conforme pode ser visto, estes vetores possuem redundância na sua implementação nas tensões de fase e, conforme descrito por [11], cada redundância apresenta efeito complementar na corrente  $i_0$ . A Tabela I apresenta as redundâncias de cada vetor pequeno  $[v_g, v_h]$  com as tensões de fase no formato  $\left[ \frac{v_{ag}}{V_{cc}}, \frac{v_{bg}}{V_{cc}}, \frac{v_{cg}}{V_{cc}} \right]$ .

Tabela I  
CORRENTE  $i_0$  PARA OS VETORES PEQUENOS DO CONVERSOR NPC 3 NÍVEIS

Vetores Pequenos	Redundância Negativa	$i_0$	Redundância Positiva	$i_0$
0 -1	[0, 0, 1]	$-i_c$	[1, 1, 2]	$i_c$
-1 1	[0, 1, 0]	$-i_b$	[1, 2, 1]	$i_b$
-1 0	[1, 2, 2]	$-i_a$	[0, 1, 1]	$i_a$
1 0	[1, 0, 0]	$-i_a$	[2, 1, 1]	$i_a$
1 -1	[2, 1, 2]	$-i_b$	[1, 0, 1]	$i_b$
0 1	[2, 2, 1]	$-i_c$	[1, 1, 0]	$i_c$

A manipulação das redundâncias dos vetores pequenos pode ser usada como grau de liberdade para a compensação da corrente  $i_0$  e, por conseguinte, o balanço do barramento capacitivo.

### III. TÉCNICAS DE REGULAÇÃO DA TENSÃO DO PONTO NEUTRO

A fim de balancear o barramento capacitivo com o mínimo comprometimento das tensões de linha na saída do conversor,

as técnicas desenvolvidas a seguir fazem uso apenas das redundâncias dos vetores pequenos, não interferindo nos tempos de trabalho dos mesmos. Torna-se evidente, desta forma, que o desempenho da regulação será afetado diretamente pelo índice de modulação da referência e o fator de potência da carga conectada ao conversor [11].

A Tabela II apresenta os parâmetros empregados em todas as simulações desenvolvidas durante o trabalho.

Tabela II  
PARÂMETROS DO SISTEMA SIMULADO

Parâmetro	Símbolo	Valor
Tensão do Barramento	$V_{cc}$	200 (V)
Período de Amostragem	$T_s$	100 ( $\mu s$ )
Índice de Modulação	$mi$	1
Fator de Potência	$FP$	1
Capacitores de Barramento	$C_1, C_2$	1 (mF)
Indutor de Saída	$L_f$	150 ( $\mu H$ )
Carga	$R_L$	10 ( $\Omega$ )

#### A. Histerese dos Vetores Redundantes

Conforme elencado em [11], o uso da histerese dos vetores redundantes é talvez a forma mais simples e popular para o controle em malha fechada da tensão dos capacitores do barramento CC. Essa técnica demanda o conhecimento prévio do impacto de cada estado redundante dos vetores pequenos na corrente  $i_0$  (conforme apresentado na Tabela I) e o sinal das correntes de fase do inversor. Baseado nessas informações, para qualquer dos três vetores que sintetizarão a referência no próximo período de amostragem ( $T_s$ ) e disponham de redundância, esta é selecionada de forma a mover o nó do divisor capacitivo no sentido contrário ao erro calculado. Nesse caso e também para os próximos apresentados nas seções seguintes, o erro é definido como:

$$v_c^{erro} = 0 - (v_{c2} - v_{c1}) \quad (8)$$

O algoritmo pode ser descrito através da seleção das redundâncias negativas (RN) ou redundâncias positivas (RP) como:

$$v_c^{erro} > 0 \begin{cases} \text{RP se } i_x > 0 \\ \text{RN se } i_x < 0 \end{cases} \quad (9)$$

$$v_c^{erro} < 0 \begin{cases} \text{RP se } i_x < 0 \\ \text{RN se } i_x > 0 \end{cases}$$

onde:  $i_x$  é a corrente de fase do inversor para  $x = \{a, b, c\}$ .

Nesse caso,  $i_x$  é a corrente da fase abordada pelo vetor com redundância em questão. Para o caso do vetor com coordenadas [0, -1], por exemplo, a corrente associada é  $i_c$  e a escolha da redundância adequada (RN ou RP) será através da análise do sinal de  $i_c$  medido e do erro  $v_c^{erro}$ .

A Figura 3 apresenta o resultado de simulação utilizando a técnica de histerese para regular o barramento capacitivo a partir do desequilíbrio.

O controle por histerese resulta na tensão dos capacitores  $C_1$  e  $C_2$  convergindo para regime permanente em menos de

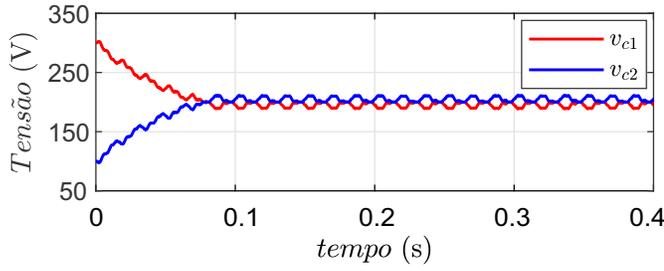


Figura 3. Tensão nos capacitores  $C_1$  e  $C_2$  para controle do barramento por histerese

0,1 segundos. Contudo, ainda remanesce uma oscilação de aproximadamente 22V em baixa frequência mesmo após o conversor entrar em regime. Essa oscilação pode ser observada nas tensões de linha do conversor, conforme apresentado pela Figura 4.

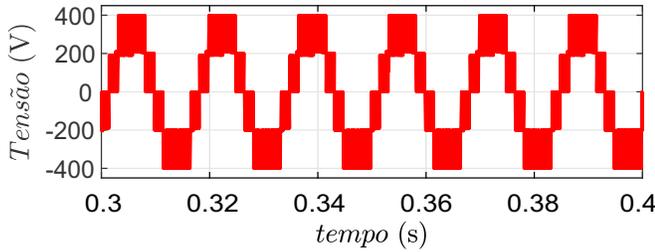


Figura 4. Tensão de linha  $v_{ab}$  para controle do barramento por histerese

### B. Compensação da Corrente Média no Ponto Neutro

No método anterior, independentemente da magnitude das correntes medidas, todas as redundâncias disponíveis para compensar o erro de regulação do barramento capacitivo eram aplicadas. Contudo, como apresentado pela Figura 3, esse método causa oscilações em torno do ponto de regulação.

Considerando agora não somente o sentido das correntes medidas, mas também suas respectivas magnitudes, é possível obter significantes decréscimos das oscilações resultantes do método anterior. Para isso, novamente consideram-se as correntes de fase medidas constantes para o período de amostragem  $T_s$ . Desta forma, deseja-se determinar as redundâncias de  $\vec{V}_1$ ,  $\vec{V}_2$  e  $\vec{V}_3$  que aplicadas em  $T_s$  produzam uma corrente média circulante pelo ponto neutro mais próxima possível à referência desejada. Para gerar a referência de corrente necessária, o erro  $v_c^{erro}$  é aplicado a um controlador proporcional-integral (PI) discretizado com período de amostragem  $T_s$  expresso por:

$$i_0^{Ref}[k] = i_0^{Ref}[k-1] + k_1 \cdot v_c^{erro}[k] - k_2 \cdot v_c^{erro}[k-1] \quad (10)$$

A média da corrente  $i_0$  em um período de amostragem pode ser expressa a partir das correntes de fase e das tensões de braço do inversor como [2], [9]:

$$\bar{i}_0 = \sum_{x \in \{a,b,c\}} 2i_x |v_{xg} - 0,5| \quad (11)$$

Dada a aplicação da modulação *space-vector*, as tensões  $v_{xg}$  são alteradas dentro do período  $T_s$  de acordo com os três vetores mais próximos a serem sintetizados. Assim, pode-se reescrever (11) por:

$$\bar{i}_0^{SV} = \sum_{i \in \{1,2,3\}} d_i \left( \sum_{x \in \{a,b,c\}} 2i_x |v_{xg}^{V_i} - 0,5| \right) \quad (12)$$

onde:  $V_i$  é o índice que identifica qual dos vetores  $\vec{V}_1$ ,  $\vec{V}_2$  e  $\vec{V}_3$  é aplicado.

A partir de (10) e (12) define-se a função que minimizada garante o uso das redundâncias que gerarão  $i_0$  mais próximo à referência. A expressão é dada como:

$$f(\vec{V}_1, \vec{V}_2, \vec{V}_3) = \left( \bar{i}_0^{SV} - i_0^{Ref} \right)^2 \quad (13)$$

Os conjuntos  $\Omega_1$ ,  $\Omega_2$  e  $\Omega_3$  contém, respectivamente, todas as possíveis redundâncias para os vetores  $\vec{V}_1$ ,  $\vec{V}_2$  e  $\vec{V}_3$  com os tamanhos dos conjuntos variando de 1 a  $n$  (onde  $n$  é o número de níveis do conversor em questão). O produto cartesiano dos mesmos resulta no conjunto de possibilidades para (13) cujo máximo tamanho é  $3n - 2$ . Dentro do conjunto resultante, a combinação de  $\vec{V}_1$ ,  $\vec{V}_2$  e  $\vec{V}_3$  que retorna o menor valor de (13) é selecionada.

Ainda, uma vez que  $\vec{V}_1$ ,  $\vec{V}_2$  e  $\vec{V}_3$  são originalmente obtidos no sistema de coordenadas  $\{\vec{g}, \vec{h}\}$ , pode-se determinar  $v_{ag}$ ,  $v_{bg}$  e  $v_{cg}$  que formem vetores válidos e contidos em  $\Omega_1$ ,  $\Omega_2$  e  $\Omega_3$  a partir da análise das expressões:

$$\begin{aligned} v_{ag}^{V_i} &= v_{bg}^{V_i} + v_{REFg}^{V_i} \\ v_{cg}^{V_i} &= v_{bg}^{V_i} - v_{REFh}^{V_i} \end{aligned} \quad (14)$$

onde:  $v_{bg}^{V_i} \in \{0, 1, 2, \dots, n-1\}$ ,  $i = \{1, 2, 3\}$  e  $v_{REFg}^{V_i}$  e  $v_{REFh}^{V_i}$  são obtidos a partir de (3).

Para qualquer possibilidade de  $v_{bg}^{V_i}$  que resulte em  $v_{ag}^{V_i}$  e  $v_{cg}^{V_i}$  também contidos em  $\{0, 1, 2, \dots, n-1\}$ , forma-se uma unidade possível dentro de um dado conjunto de redundâncias  $\Omega_i$ . Essa forma de obtenção das redundâncias elimina a necessidade de um mapeamento prévio das mesmas, diminuindo os esforços *offline* do projeto. Isso se torna atrativo a medida que o número de níveis do conversor começa a aumentar.

A Figura 5 apresenta o resultado de simulação da técnica de regulação descrita partindo do desequilíbrio do barramento capacitivo.

Diferentemente da técnica anterior implementada, ao aplicar a função custo para definir quais redundâncias minimizam o erro de regulação do barramento, a ondulação em baixa frequência é drasticamente diminuída. Embora o tempo de acomodação do controle tenha aumentado para 0,15 segundos, a ondulação em regime é agora de aproximadamente 5V. A tensão de linha  $v_{ab}$  é exposta na Figura 6, onde o reflexo do barramento com menores oscilações também pode ser observado.

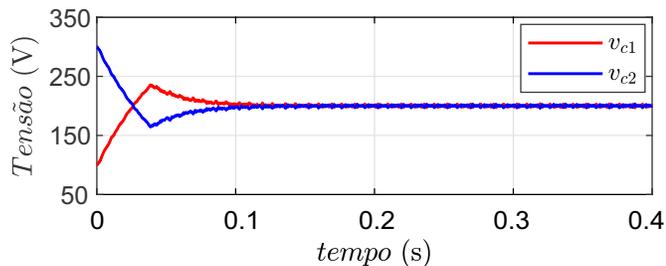


Figura 5. Tensão nos capacitores  $C_1$  e  $C_2$  para controle do barramento pela corrente média

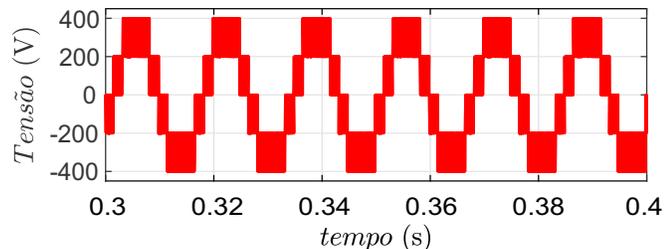


Figura 6. Tensão de linha  $v_{ab}$  para controle do barramento pela corrente média

### C. Compensação pela Análise no Espaço dos Sinais dos Interruptores

Embora a eficácia ao regular o barramento capacitivo a partir da estimativa da média da corrente  $i_0$ , a técnica anterior depende diretamente do equacionamento em (11). A medida que o número de níveis do conversor aumenta, pode-se tornar demasiadamente complexo a obtenção do sistema de equações que descreverão as correntes médias em todos os nós do barramento CC. Desta forma, pode-se generalizar a compensação das correntes para um número  $m$  de nós (onde  $m \in \{0, 1, 2, \dots, n-3\}$ ) a partir da análise dos estados dos interruptores do conversor.

O princípio básico de funcionamento reside em identificar por qual nó do barramento CC cada uma das correntes de fase circula e, por meio dessa informação, avaliar quais redundâncias compensam adequadamente a referência de corrente em cada nó. Novamente, as correntes de fase  $i_x$  são consideradas constantes para o período  $T_s$ . A identificação do nó pelo qual cada corrente de fase circula passa pelo padrão de acionamento dos interruptores do conversor NPC apresentado pela Tabela III.

Tabela III  
PADRÃO DOS INTERRUPTORES NO CONVERSOR NPC

Nível	$S_{xy}$	$\dots$	$S_{x2}$	$S_{x1}$	$S_{x0}$
0	0	$\dots$	0	0	0
1	0	$\dots$	0	0	1
2	0	$\dots$	0	1	1
$\vdots$	$\vdots$	$\ddots$	$\vdots$	$\vdots$	$\vdots$
$n-1$	1	$\dots$	1	1	1

Para todos os níveis sintetizados pelo conversor, os únicos que não apresentam conexão a um nó interno do divisor capacitivo são 0 e  $n$ . Para os demais níveis, suas sínteses prescindem da conexão a um nó interno e, assim, fazem com que a corrente da sua respectiva fase circule pelo nó. O padrão de acionamento dos interruptores apresentados pela Tabela III mostra a forma incremental nos sinais das chaves a medida que o nível de saída sintetizado também é incrementado. Considerando um conversor com  $m$  nós internos, pode-se determinar o impacto de uma dada fase ao nó em questão através da operação *xor* dos sinais dos interruptores conectados ao mesmo. A operação pode ser definida como:

$$NI_{xm}^{V_i} = S_{xy} \oplus S_{x(y+1)} \quad (15)$$

onde:  $y \in \{0, 1, 2, \dots, n-2\}$  e  $y = m$  nessa expressão.

A obtenção dos estados dos interruptores a partir das tensões de braço do inversor pode ser descrita por:

$$S_{xy} = \begin{cases} 1, & \text{se } v_{xg} - y > 0 \\ 0, & \text{se } v_{xg} - y \leq 0 \end{cases} \quad (16)$$

Uma vez que  $NI_{xm}^{V_i}$  representa valores de 0 ou 1 para qualquer fase  $x$  e nó  $m$ , a corrente em um dado nó do barramento CC pode ser expressa como:

$$i_m^{SV} = \sum_{i \in \{1,2,3\}} d_i \left( \sum_{x \in \{a,b,c\}} i_x \cdot NI_{xm}^{V_i} \right) \quad (17)$$

E a função objetivo a ser minimizada pelas possibilidades do produto cartesiano de  $\Omega_1$ ,  $\Omega_2$  e  $\Omega_3$  é:

$$f(\vec{V}_1, \vec{V}_2, \vec{V}_3) = \sum_{m=0}^{n-3} (i_m^{SV} - i_m^{Ref})^2 \quad (18)$$

Bem como nas técnicas anteriores, implementou-se o controle do barramento para o caso de um conversor NPC 3 níveis. A corrente de referência é gerada novamente pelo controlador PI apresentado em (10). A Figura 7 apresenta a regulação dos capacitores do barramento para a técnica descrita.

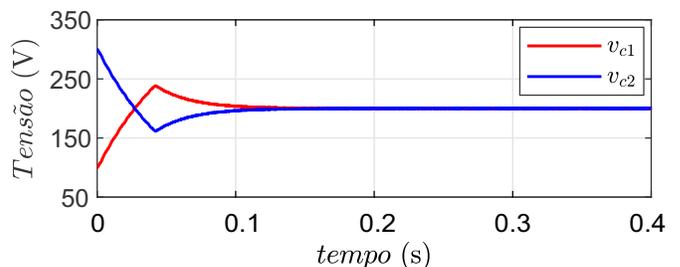


Figura 7. Tensão nos capacitores  $C_1$  e  $C_2$  para controle do barramento a partir dos estado dos interruptores

De forma semelhante ao obtido na técnica anterior, a regulação do barramento se mostra novamente bastante efetiva ao entrar em regime com tempo inferior a 0,15 segundos e erro abaixo de 5V. Porém, como já elencado, a partir de (17) elimina-se parte do esforço *offline* de projeto em detrimento

do aumento do esforço computacional na implementação. A Figura 8 mostra a tensão de linha  $v_{ab}$  para a regulação do barramento capacitivo a partir da análise dos estados dos interruptores.

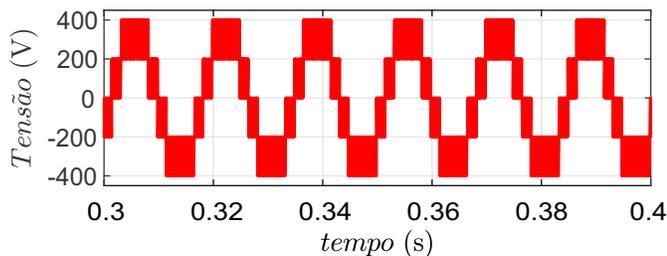


Figura 8. Tensão de linha  $v_{ab}$  para controle do barramento a partir dos estados dos interruptores

#### IV. CONSIDERAÇÕES FINAIS

Ao longo do trabalho foram apresentadas três técnicas para a regulação dos capacitores de barramento do conversor NPC 3 níveis a partir do uso das redundâncias obtidas pela modulação *fast space-vector*. A primeira abordagem desenvolvida sob a forma de histerese mostrou-se eficaz e simples para a topologia proposta, muito embora a necessidade do pré-mapeamento das redundâncias a torne muito mais complicada a medida que os níveis do conversor aumentam. As duas demais técnicas desenvolvidas mostraram-se mais eficientes em relação à histerese quanto à minimização do erro de regulação. Dentre elas, destaca-se a abordagem a partir dos estados dos interruptores do conversor, onde além da excelente regulação obtida para três níveis ainda vislumbra-se a possibilidade de escalar a aplicação para mais níveis com menores esforços de pré-mapeamento e análise matemática é presente ao custo de um maior gasto computacional.

#### REFERÊNCIAS

- [1] L. G. Franquelo, J. Rodríguez, J. I. Leon, S. Kouro, R. Portillo, and M. A. M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, June 2008.
- [2] J. Pou, J. Zaragoza, P. Rodriguez, S. Ceballos, V. M. Sala, R. P. Burgos, and D. Boroyevich, "Fast-processing modulation strategy for the neutral-point-clamped converter with total elimination of low-frequency voltage oscillations in the neutral point," *IEEE Transactions on Industrial Electronics*, vol. 54, no. 4, pp. 2288–2294, Aug 2007.
- [3] H. du Toit Mouton, "Natural balancing of three-level neutral-point-clamped pwm inverters," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 1017–1025, Oct 2002.
- [4] A. Lewicki, Z. Krzeminski, and H. Abu-Rub, "Space-vector pulsewidth modulation for three-level npc converter with the neutral point voltage control," *IEEE Transactions on Industrial Electronics*, vol. 58, no. 11, pp. 5076–5086, Nov 2011.
- [5] J. Lyu, W. Hu, F. Wu, K. Yao, and J. Wu, "Three-level saddle space vector pulse width modulation strategy based on two-level space vector pulse width modulation for neutral-point-clamped three-level inverters," *IET Power Electronics*, vol. 9, no. 5, pp. 874–882, 2016.
- [6] J. Rodriguez, S. Bernet, P. K. Steimer, and I. E. Lizama, "A survey on neutral-point-clamped inverters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2219–2230, July 2010.
- [7] S. Busquets-Monge, J. Bordonau, D. Boroyevich, and S. Somavilla, "The nearest three virtual space vector pwm - a modulation for the comprehensive neutral-point balancing in the three-level npc inverter," *IEEE Power Electronics Letters*, vol. 2, no. 1, pp. 11–15, March 2004.

- [8] S. Kundu, S. Mukherjee, S. K. Giri, and S. Banerjee, "A carrier-based fast capacitor voltage balancing pwm scheme for three-level npc inverter," in *2017 IEEE Calcutta Conference (CALCON)*, Dec 2017, pp. 258–263.
- [9] C. Wang and Y. Li, "Analysis and calculation of zero-sequence voltage considering neutral-point potential balancing in three-level npc converters," *IEEE Transactions on Industrial Electronics*, vol. 57, no. 7, pp. 2262–2271, July 2010.
- [10] F. Luo, K. Loo, and Y. Lai, "Simple carrier-based pulse-width modulation scheme for three-phase four-wire neutral-point-clamped inverters with neutral-point balancing," *IET Power Electronics*, vol. 9, no. 2, pp. 365–376, 2016.
- [11] N. Celanovic and D. Boroyevich, "A comprehensive study of neutral-point voltage balancing problem in three-level neutral-point-clamped voltage source pwm inverters," *IEEE Transactions on Power Electronics*, vol. 15, no. 2, pp. 242–249, March 2000.
- [12] —, "A fast space-vector modulation algorithm for multilevel three-phase converters," *IEEE Transactions on Industry Applications*, vol. 37, no. 2, pp. 637–641, March 2001.